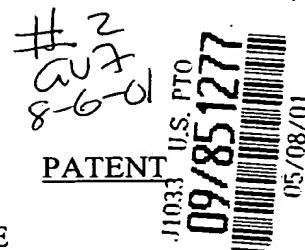


Attorney Docket No. 5649-894

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re: Tae-sung Jung et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **MEMORY INTERFACE SYSTEMS THAT COUPLE A MEMORY TO A
MEMORY CONTROLLER AND ARE RESPONSIVE TO A TERMINAL
VOLTAGE THAT IS INDEPENDENT OF SUPPLY VOLTAGES FOR THE
MEMORY AND THE MEMORY CONTROLLER**

May 8, 2001

Box PATENT APPLICATION

Commissioner for Patents

Washington, DC 20231

SUBMITTAL OF PRIORITY DOCUMENTS

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

00-24437, filed May 8, 2000.

Respectfully submitted,

A handwritten signature in cursive script, appearing to read "Scott Moore".

D. Scott Moore
Registration No. 42,011

Myers Bigel Sibley & Sajovec
P.O. Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EL733097187US
Date of Deposit: May 8, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Box Patent Application, Commissioner For Patents, Washington, DC 20231.

A handwritten signature in cursive script, appearing to read "Audra Wooten".

Audra Wooten
Date of Signature: May 8, 2001

J1033 U.S. PTO
09/851277
05/08/01

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

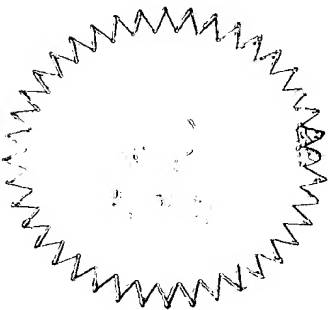
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 24437 호
Application Number

출원년월일 : 2000년 05월 08일
Date of Application

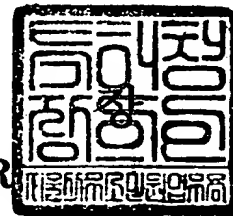
출원인 : 삼성전자 주식회사
Applicant(s)



2000 년 11 월 04 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2000.05.08
【발명의 명칭】	독립적인 전원 전압을 사용하는 메모리와 메모리 컨트롤러 간의 인터페이스 시스템
【발명의 영문명칭】	Interface system between memory and memory controller using independent supply voltage
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	정태성
【성명의 영문표기】	JUNG,Tae Sung
【주민등록번호】	601118-1025817
【우편번호】	137-130
【주소】	서울특별시 서초구 양재동 19 청광아파트 A동 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	소병세
【성명의 영문표기】	SO,Byung Se

【주민등록번호】	620917-1052711
【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동 330 코오롱아파트 130동 70호
【국적】	KR
【발명자】	
【성명의 국문표기】	박면주
【성명의 영문표기】	PARK, Myun Joo
【주민등록번호】	680210-1148628
【우편번호】	402-062
【주소】	인천광역시 남구 도화2동 109-1
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인) 대리인 이래호 (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	12 항 493,000 원
【합계】	522,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

독립적인 전원 전압을 사용하는 메모리와 메모리 컨트롤러 간의 인터페이스 시스템이 개시된다. 메모리와 메모리 컨트롤러 간의 인터페이스 시스템은, 채널 선로, 외부 채널 종단 전압, 제1송신부, 제1수신부, 제2송신부 및 제2수신부를 구비한다. 채널 선로는 메모리 장치와 메모리 컨트롤러 사이의 송수신단을 연결한다. 외부 채널 종단 전압은 채널 선로에 연결되며, 소정의 레벨을 갖는다. 제1송신부는 메모리 동작을 위해 제1전원 전압을 받아들이는 메모리 장치 내부에 구비되고, 외부 채널 종단 전압과 채널 선로를 통하여 연결되며, 외부로의 데이터 송신을 제어한다. 제1수신부는 메모리 장치 내부에 구비되고, 제1전원 전압에 의해 동작하여 외부로부터 데이터 수신을 제어한다. 제2송신부는 메모리 장치를 구동하기 위한 동작 시에 제1전원 전압과는 다른 전압 레벨의 제2전원 전압을 받아들이는 메모리 컨트롤러 내부에 구비되고, 외부 채널 종단 전압과 채널을 통하여 연결되며, 메모리 장치로의 데이터 송신을 제어한다. 제2수신부는 메모리 컨트롤러 내부에 구비되고, 제2전원 전압을 공급받아 메모리 장치로부터의 데이터 수신을 제어한다.

본 발명에 따르면, 메모리와 메모리 컨트롤러의 전원 전압 및 전송 채널에 의한 외부 전압이 서로 독립적으로 사용될 수 있으므로, 시스템 구성 시 전원 전압에 대한 제약을 최소화할 수 있다는 효과가 있다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

독립적인 전원 전압을 사용하는 메모리와 메모리 컨트롤러 간의 인터페이스 시스템
{Interface system between memory and memory controller using independent supply
voltage}

【도면의 간단한 설명】

도 1은 본 발명에 따른 독립적인 전원 전압을 사용하는 메모리와 메모리 컨트롤러 간의 인터페이스 시스템을 나타내는 개략적인 도면이다.

도 2는 본 발명의 실시예에 의한 메모리와 메모리 컨트롤러 간의 인터페이스 시스템을 나타내는 회로도이다.

도 3은 본 발명의 다른 실시예에 의한 메모리와 메모리 컨트롤러 간의 인터페이스 시스템을 나타내는 회로도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 장치에 관한 것으로서, 특히, 독립적인 전원 전압을 사용하는 메모리와 메모리 컨트롤러 간의 인터페이스 시스템에 관한 것이다.

<5> 일반적으로, 반도체 집적 회로의 기술은 고집적화와 고속화로 진행되고 있는 추세이다. 이를 위해서, 집적 회로 상의 소자 크기 및 회로 선폭의 미세화는 필수적인 사항으로 간주된다. 또한, 이와 함께 회로의 동작 전압도 점차 낮아지는 경향을 나타낸다.

그러나, 이와 같은 회로의 미세화나 동작 전압의 감소는 각 집적 회로의 응용 분야 및 제품별로 약간의 차이를 나타내면서 진전되는 경향이 있다. 즉, 현재까지의 집적 회로 기술 분야의 발달 동향을 참조할 때, 회로 선평의 미세화 및 저 동작 전압 분야에서 발전된 새로운 공정 기술이 가장 빨리 적용되는 곳은 컴퓨터 내부의 중앙 처리 장치 (Central Processing Unit: 이하, CPU라 함) 및 이와 관련된 칩 셋(chip set) 분야라 할 수 있다. 상대적으로 반도체 메모리 분야에서는, CPU보다 한 단계 느린 속도로 공정 기술의 발전이 이루어지는 경향이 있다. 따라서, CPU와 반도체 메모리 장치 사이의 동작 전압에도 점점 차이가 생기게 된다. 즉, CPU와 반도체 메모리 장치 사이의 동작 전압에 차이가 생기면, CPU와 반도체 메모리 장치가 함께 동작되는 시스템, 예를 들어 컴퓨터 시스템 등에서는 이들간의 상호 접속에 따른 문제점이 야기될 수 있다.

<6> 일반적인 컴퓨터 시스템에서는 메모리와 이를 구동하는 메모리 컨트롤러들 사이에서 데이터 전송을 위한 각각의 데이터 입출력이 이루어진다. 이와 같이, 데이터 전송을 위해 상기 두 회로는 어떠한 방식으로든 전기적으로 접속된다. 이러한 경우에, 시스템의 원활한 동작을 위해서는 가능한 한 두 회로 사이의 동작 전압을 동일하게 유지하는 것이 바람직하다. 즉, 두 회로들이 동작하는 동작 전압이 서로 다르면, 상호 간의 동작에 문제가 발생될 수 있다. 그러나 대개의 경우에, 메모리 컨트롤러는 메모리보다 더 낮은 전원 전압에서 동작한다. 만일, 낮은 전원 전압에서 동작하는 메모리 컨트롤러 칩에 맞추어, 높은 전원 전압에서 동작하는 메모리 장치의 동작 전압을 낮추게 되면, 회로 공정 등에서 추가적인 비용이 발생될 수 있다.

<7> 현재에는 이러한 문제점을 해결하기 위한 방법으로, 메모리 장치의 송수신부 또는 컨트롤러의 송수신부의 전원 전압을 어느 한 쪽의 전압과 동일하게 하는 방식의 인터페

이스가 사용된다. 그러나, 이러한 경우라 할 지라도 메모리 장치 또는 메모리 컨트롤러 칩 중 어느 한 쪽에는 송수신부를 위한 전원 전압과, 실제의 동작을 위한 전원 전압이 따로 구분되어 있어야 한다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<8> 본 발명이 이루고자하는 기술적 과제는, 독립적인 외부의 채널 종단 전압을 이용하여 반도체 메모리 장치와 메모리 컨트롤러의 각각의 전원 전압에 영향받지 않고 서로 간의 데이터 전송을 수행하는, 메모리 장치와 메모리 컨트롤러 간의 인터페이스 시스템을 제공하는데 있다.

【발명의 구성 및 작용】

<9> 상기 과제를 이루기위해, 본 발명은 독립적인 전원 전압을 사용하는 메모리와 메모리 컨트롤러 간의 인터페이스 시스템을 제공한다. 독립적인 전원 전압을 사용하는 메모리와 메모리 컨트롤러 간의 인터페이스 시스템은, 메모리 장치와 메모리 컨트롤러 사이에서 데이터를 송수신하는 인터페이스 시스템에 있어서, 채널 선로, 외부 채널 종단 전압, 제1송신부, 제1수신부, 제2송신부 및 제2수신부를 구비한다. 채널 선로는 메모리 장치와 메모리 컨트롤러 사이의 송수신단을 연결한다. 외부 채널 종단 전압은 채널 선로에 연결되며, 소정의 레벨을 갖는다. 제1송신부는 메모리 동작을 위해 제1전원 전압을 받아들이는 메모리 장치 내부에 구비되고, 외부 채널 종단 전압과 채널 선로를 통하여 연결되며, 외부로의 데이터 송신을 제어한다. 제1수신부는 메모리 장치 내부에 구비되고, 제1전원 전압에 의해 동작하여 외부로부터 데이터 수신을 제어한다. 제2송신부는 메모리 장치를 구동하기 위한 동작 시에 제1전원 전압과는 다른 전압 레벨의 제2전원 전압을 받아들이는 메모리 컨트롤러 내부에 구비되고, 외부 채널 종단 전압과 채널을 통하여 연결

되며, 메모리 장치로의 데이터 송신을 제어한다. 제2수신부는 메모리 컨트롤러 내부에 구비되고, 제2전원 전압을 공급받아 메모리 장치로부터의 데이터 수신을 제어한다.

<10> 상기 과제를 이루기 위해, 본 발명은 독립적인 전원 전압을 사용하는 메모리와 메모리 컨트롤러 간의 인터페이스 시스템을 제공한다. 독립적인 전원 전압을 사용하는 메모리와 메모리 컨트롤러 간의 인터페이스 시스템은, 채널 선로, 외부 채널 종단 전압, 송신부 및 수신부를 구비한다. 채널 선로는 반도체 장치들 사이의 송수신단을 연결한다. 외부 채널 종단 전압은 채널 선로에 연결되어 소정의 전압 레벨을 갖는다. 송신부는 제1 전원 전압을 동작 전압으로 입력하는 제1반도체 장치 내부에 구비되고, 외부 채널 종단 전압과 채널 선로를 통하여 연결되며, 전송하고자하는 데이터에 응답하여 스위칭되는 하나 이상의 스위칭 소자를 포함한다. 수신부는 제1전원 전압과 다른 전압 레벨을 갖는 제2전원 전압을 동작 전압으로 하는 제2반도체 장치 내에 구비되며, 제2전원 전압을 공급받아 제1반도체 장치로부터의 데이터 수신을 제어한다. 여기에서, 제1반도체 장치 및 제2반도체 장치는 메모리 장치 또는 메모리 컨트롤러인 것을 특징으로 한다.

<11> 이하에서, 본 발명에 따른 독립적인 전원 전압을 사용하는 메모리와 메모리 컨트롤러 간의 인터페이스 시스템에 관하여 첨부된 도면을 참조하여 다음과 같이 설명한다.

<12> 도 1은 본 발명에 따른 독립적인 전원 전압을 사용하는 메모리와 메모리 컨트롤러 간의 인터페이스 시스템을 나타내는 개략적인 블럭도이다. 도 1을 참조하면, 인터페이스 시스템은 메모리(100) 내부에 구비되는 제1송신부(102)와 제1수신부(104), 메모리 컨트롤러(150) 내부에 구비되는 제2송신부(154)와 제2수신부(152), 전송 채널 선로(110, 120) 및 외부 채널 종단 전압(VTER)을 포함한다.

<13> 외부 채널 종단 전압(VTER)은 외부 전압원으로부터 공급되며, 소정 레벨로 설정된

다. 여기에서, 외부 채널 종단 전압(VTER)의 크기는 메모리의 전원 전압 또는 메모리 컨트롤러의 전원 전압과 무관하게 설정될 수 있다. 바람직하게는, 외부 채널 종단 전압(VTER)이 메모리 및 메모리 컨트롤러(150)의 전원 전압보다 높게 설정될 수 있다. 상기 외부 채널 종단 전압(VTER)은 도 1에 도시된 바와 같이, 종단 저항(R_{TER})과 채널 선로(110, 120)를 통하여 메모리(100) 및 메모리 컨트롤러(150)의 송수신부로 인가된다.

<14> 메모리(100)는 데이터 기입 및 독출을 포함하는 자체적인 동작을 위해 제1전원 전압(VDD1)을 공급받고, 데이터 송수신을 위해 외부 채널 종단 전압(VTER)을 수신한다. 또한, 메모리(100)는 제1송신부(TRANSMITTER 또는 DRIVER)(102)와 제1수신부(104) 및 메모리 셀 어레이(106)를 포함한다. 제1송신부(102)는 외부 채널 종단 전압(VTER)과 채널 선로(110)를 통하여 연결되고, 메모리 셀 어레이(106)에서 출력되는 데이터의 채널 선로(110)를 통한 외부로의 송신을 제어한다. 제1수신부(104)는 제1전원 전압(VDD1)에 의해 동작하며, 외부로부터 데이터 전송 채널(120)을 통하여 이루어지는 데이터 수신을 제어한다. 메모리 셀 어레이(106)는 다수의 메모리 셀로 구성되며, 해당 데이터를 저장 및 출력한다. 여기에서, 메모리는 디램(Dynamic Random Access Memory)이 될 수 있고, 그 밖의 다른 메모리 장치들이 될 수 있다.

<15> 메모리 컨트롤러(150)는 메모리(100)를 구동하여 데이터 기입/독출을 포함한 다양한 동작을 제어하는 역할을 하며, 제2전원 전압(VDD2)을 동작 전압으로서 수신한다. 여기에서, 제2전원 전압(VDD2)은 제1전원 전압(VDD1)과는 다른 레벨을 갖는 것으로 가정될 수 있다. 또한, 메모리 컨트롤러(150)는 제2송신부(154)와 제2수신부(152)를 포함한다. 도 1의 메모리 컨트롤러(150)에는 실제로 많은 회로들이 포함되지만, 도면의 간략화를 위하여 다른 구성 요소들은 도시하지 않고 다만 내부 회로(156)로서 나타낸다. 제2송신

부(154)는 외부 채널 종단 전압(VTER)과 채널 선로(120)를 통하여 연결되어 있으며, 메모리(100)로의 데이터 송신을 제어한다. 여기에서, 제2송신부(154)에 인가되는 데이터는, 메모리(100)에 기입하고자 하는 데이터인 것으로 정의될 수 있다. 또한, 제2수신부(152)는 제2전원 전압(VDD2)을 공급 전원으로 수신하고, 메모리(100)로부터의 데이터 수신을 제어한다. 여기에서, 메모리(100)로부터 수신된 데이터는 메모리 컨트롤러(150) 내부의 캐쉬 메모리(미도시) 또는 다른 블록으로 인가될 수 있다.

<16> 채널 선로(110)는 메모리(100)로부터 메모리 컨트롤러(150)로 소정의 데이터들이 전송되는 경로가 된다. 또한, 채널 선로(120)는 메모리 컨트롤러(150)로부터 메모리(100)로 소정의 데이터들이 전송되는 경로가 된다. 전술한 바와 같이, 채널 선로(110, 120)는 각각 저항(R_{TER})을 거쳐서 외부 채널 종단 전압(VTER)과 연결된다.

<17> 도 2는 도 1에 도시된 인터페이스 시스템을 나타내는 실시예의 회로도이다. 도 2에 있어서 도 1의 구성 요소와 동일한 구성 요소는 동일한 참조 부호로서 표시된다.

<18> 도 2를 참조하면, 메모리(100)의 제1송신부(102)는 외부 채널 종단 전압(VTER)과 채널(110)을 통하여 연결되며, 상기 메모리(100)로부터 독출되는 데이터에 응답하여 스위칭되는 스위치로서 구현된다. 한 예로써 스위칭 소자는 도 2에서와 같이 NMOS트랜지스터(MN21)로 구현될 수 있다. 도 2에서 제1송신부(102)는 하나의 트랜지스터(MN21)로 구현되는 것으로 도시되었으나, 하나 이상의 트랜지스터로 구현되는 것이 가능하다. 이때, NMOS트랜지스터(MN21)의 게이트는 메모리 셀 어레이(106)에서 출력되는 데이터와 연결되고, 소스는 접지 전위(VSS)와 연결되며 드레인온 외부 채널 종단 전압(VTER)과 연결된다. 즉, 본 발명에서 제1송신부(102)는 오픈-드레인 형태의 트랜지스터로 구현되기 때

문에, 메모리(100)의 전원 전압(VDD1)으로부터 완전히 분리되어 독립적으로 동작한다.

<19> 또한, 도 2의 실시예에서 메모리(100)의 제1수신부(104)는 두 개의 입력 신호를 비교하여 그 차이로부터 채널로 전송된 신호를 감지하는 차동 증폭기(22) 형태로 구현된다. 즉, 차동 증폭기(22)는 메모리(100)의 동작 전압인 제1전원 전압(VDD1)에 의해서 동작한다. 또한, 차동 증폭기(22)는 제1입력 단자(IN1)가 기준 전압(VREF)과 연결되고, 제2입력 단자(IN2)가 채널 선로(120)와 연결되어 기준 전압(VREF)과 상기 채널 선로(120) 상의 신호 전압과의 차이로서 전송 신호가 0인지 또는 1인지를 감지한다. 또한, 감지된 결과는 메모리 셀 어레이(106)에 기입될 데이터로서 출력된다. 제1수신부(104)는 차동 증폭기(22)가 아닌, 다른 구조의 입력 버퍼로 구현될 수 있다.

<20> 도 2의 실시예에서, 메모리 컨트롤러(150)의 제2수신부(152)는 제1수신부(104)와 마찬가지로 차동 증폭기(24)로 구현된다. 이 때, 제2수신부(152)의 차동 증폭기(24)는 메모리 컨트롤러(150)의 동작 전압인 제2전원 전압(VDD2)에 의해서 동작한다. 또한, 차동 증폭기(24)는 제1입력 단자(IN1)가 채널 선로(110)와 연결되고, 제2입력 단자(IN2)가 기준 전압(VREF)과 연결되어 기준 전압(VREF)과 상기 외부 전송 채널(110) 상의 신호 전압과의 차를 증폭하여 그 결과를 내부 회로로 출력한다.

<21> 또한, 메모리 컨트롤러(150)의 제2송신부(154)는 제1송신부(102)와 마찬가지로 NMOS트랜지스터(MN23)로 구현된다. 이 때, NMOS트랜지스터(MN23)의 드레인은 전송 채널(120)을 통하여 외부 채널 종단 전압(VTER)과 연결되고, 소스는 접지 전위(VSS)와 연결되며, 게이트는 메모리(100)에 기입될 데이터와 연결된다. 즉, 메모리 컨트롤러(150)의 제2송신부(154)도 자체의 전원 전압(VDD2)과 분리되어 있어 전원 전압(VDD2)에 관계없이 데이터 송신을 수행한다.

- <22> 즉, 도 2에 도시된 바와 같이, 본 발명에 따른 메모리와, 메모리 컨트롤러 간의 인터페이스 시스템은 각각의 송신측 전원 전압이 자체적인 전원 전압(VDD1, VDD2)으로부터 분리되어 있다. 따라서, 제1수신부(104)와 제2수신부(152)는 각각 상대측 송신부(154, 102)의 전원 전압으로부터 영향을 받지 않고 독립적일 수 있다.
- <23> 보다 구체적으로, 도 2에 도시된 메모리와 메모리 컨트롤러 간의 인터페이스 시스템의 동작이 기술된다.
- <24> 먼저, 메모리 컨트롤러(154)에서 메모리 셀 어레이(106)의 해당 셀 위치에 데이터 '1'을 기입하는 경우의 동작에 관하여 기술된다. 이 때, 메모리 컨트롤러(150)의 제2송신부(154) 즉, NMOS트랜지스터(MN23)는 하이 레벨의 입력 데이터(WRITE DATA)에 의해 턴온되어 드레인 전위는 낮아지게 된다. 따라서, 제1수신부(104)의 차동 증폭기(22)에 인가되는 채널 신호 전압(IN2)은 채널 종단 전압(VTER) 보다 전압 레벨이 낮아지게 된다. 이 때, 차동 증폭기(22)는 입력 전압(IN1, IN2)의 차를 증폭하고, 상기 증폭된 결과에 상응하는 전압을 메모리 셀 어레이(106)의 기입 데이터로서 출력한다. 또한, 메모리(100)에 데이터 '0'이 기입되는 경우에, NMOS트랜지스터(MN23)는 턴온되지 않고, 차동 증폭기(22)에 인가되는 채널 신호 전압(IN2)은 외부 채널 종단 전압(VTER)과 같은 전압 레벨을 갖는다. 따라서, 차동 증폭기(22)는 제1, 제2입력 전압(IN1, IN2)의 차를 증폭하여 데이터 '0'에 해당하는 데이터를 출력하게 된다. 여기에서, 차동 증폭기(22)의 제2입력 단자는 채널 종단 전압(VTER)과 연결되어 있기 때문에, 메모리 컨트롤러(150)의 전원 전압과 관계없이 전압 크기가 커질 수 있다.
- <25> 또한, 메모리(100)에서 독출되는 데이터가 메모리 컨트롤러(150)로 전송되는 경우에 대해서도 전술한 과정과 유사한 방식으로 동작한다.

- <26> 즉, 전술한 바와 같이, 외부 채널 종단 전압(VTER)을 전원 전압(VDD1, VDD2)보다 큰 값으로 설정하면, 메모리(100)와 메모리 컨트롤러(150)의 전원 전압이 낮게 설정된 경우에도 채널(110, 120) 상에서 전송되는 데이터 신호 전압의 크기는 커지게 된다. 따라서, 데이터의 신호 전압 크기가 커짐으로써 전송 채널 상의 잡음에 의한 영향이 줄어들게 되며, 이로 인해 신호대 잡음 비가 향상될 수 있다. 다시 말해서, 본 발명의 인터페이스 시스템은 채널 잡음에 대해 보다 우수한 특성을 나타낼 수 있다.
- <27> 도 3은 도 1에 도시된 인터페이스 시스템을 설명하기 위한 다른 실시예의 회로도이다. 도 3의 구성 요소들 중에서 도 1 및 도 2와 동일한 구성 요소에 대해서는 동일한 참조 부호로 표현된다.
- <28> 도 3을 참조하면, 메모리(100)의 제1수신부(104)는 레벨 쉬프터(34)와 차동 증폭기(32)를 포함한다. 즉, 레벨 쉬프터(34)는 채널 선로(120)의 채널 신호 전압을 소정 레벨로 쉬프트하고, 쉬프트된 결과를 차동 증폭기(32)의 제2입력으로 인가한다. 레벨 쉬프터(34)는 그 출력이 예를 들어, 전원 전압(VDD1)과 같아지도록 내부 회로가 구현될 수 있다.
- <29> 또한, 메모리 컨트롤러(150)의 제2수신부(152)는 레벨 쉬프터(38)와 차동 증폭기(36)를 포함한다. 즉, 레벨 쉬프터(38)는 채널 선로(110)의 채널 신호 전압을 소정 레벨로 쉬프트하고, 쉬프트된 결과를 차동 증폭기(36)의 제1입력으로 인가한다. 마찬가지로, 레벨 쉬프터(38)는 그 출력이, 예를 들어, 제2전원 전압(VDD2)과 같아지도록 내부 회로가 구현될 수 있다.
- <30> 이와 같이, 제2실시예에서 레벨 쉬프터(34, 38)를 이용하는 것은 실제 전원전압(VDD1 또는 VDD2)보다 외부 채널 종단 전압(VTER)이 큰 경우에 발생할 수 있는 전압 스

트레스를 방지하기 위함이다. 즉, 메모리 컨트롤러(150)나 메모리(100)에 전원 전압(VDD1, VDD2) 보다 큰 외부 채널 종단 전압(VTER)이 접속될 경우에는 전원 전압을 기준으로 설계된 수신단 입력에 과도한 전기적 스트레스가 발생할 수 있다. 대부분의 경우에, 전원 전압들(VDD1, VDD2)과 외부 채널 종단 전압(VTER)의 크기는 그다지 큰 차이가 없어서 수신부(104, 152)의 동작에는 별다른 문제점을 나타내지 않는다. 그러나, 보다 신뢰성을 높이기 위해서, 제1수신부(104)에는 각각 메모리(100)의 전원 전압(VDD1)과 일치되는 레벨 쉬프트 전압을 생성하도록 레벨 쉬프터(34)가 추가될 수 있다. 또한, 제2수신부(152)에는 메모리 컨트롤러(150)의 전압 전압(VDD2)과 일치될 수 있는 레벨 쉬프트 전압을 생성하도록 레벨 쉬프터(38)가 추가될 수 있다. 즉, 이러한 레벨 쉬프터들(34, 38)은 메모리(100) 또는 메모리 컨트롤러(150)의 전원 전압(VDD1, VDD2)과 외부 채널 종단 전압(VTER)과의 차를 보상해주기 위해 구비된다.

<31> 도 3에 도시된 실시예에서의 데이터 송수신 과정은 도 2의 실시예와 유사하게 이루어지므로 구체적인 설명은 생략된다. 다만, 각각의 차동 증폭기(32 또는 36)에 인가되는 전압이 외부 채널 종단 전압(VTER)이 아니라, 레벨 쉬프트된 전압이라는 점에서만 차이가 있다.

<32> 이상 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<33> 본 발명에 따르면, 메모리와 메모리 컨트롤러의 전원 전압 및 전송 채널에 의한 외부 채널 종단 전압이 서로 분리되기 때문에, 각각의 동작을 수행하기 위해 독립적인 전원 전압이 사용될 수 있어 시스템 구성 시 전원 전압에 대한 제약을 최소화할 수 있다는 효과가 있다. 또한, 메모리와 메모리 컨트롤러의 송수신부의 전원 전압을 임의로 동일하게 조정할 필요가 없으므로, 메모리 또는 메모리 컨트롤러에서의 추가 공정 또는 추가적인 비용을 줄일 수 있다는 효과가 있다.

【특허청구범위】**【청구항 1】**

메모리 장치와 메모리 컨트롤러 사이에서 데이터를 송수신하는 인터페이스 시스템에 있어서,

상기 메모리 장치와 상기 메모리 컨트롤러 사이의 송수신단을 연결하는 채널 선로;

상기 채널 선로에 연결되며, 소정의 레벨을 갖는 외부 채널 종단 전압;

메모리 동작을 위해 제1전원 전압을 받아들이는 메모리 장치 내부에 구비되고, 상기 외부 채널 종단 전압과 상기 채널 선로를 통하여 연결되며, 외부로의 데이터 송신을 제어하는 제1송신부;

상기 메모리 장치 내부에 구비되고, 상기 제1전원 전압에 의해 동작하여 외부로부터 데이터 수신을 제어하는 제1수신부;

상기 메모리 장치를 구동하기 위한 동작 시에 상기 제1전원 전압과는 다른 전압 레벨의 제2전원 전압을 받아들이는 메모리 컨트롤러 내부에 구비되고, 상기 외부 채널 종단 전압과 상기 채널을 통하여 연결되며, 상기 메모리 장치로의 데이터 송신을 제어하는 제2송신부; 및

상기 메모리 컨트롤러 내부에 구비되고, 상기 제2전원 전압을 공급받아 상기 메모리 장치로부터의 데이터 수신을 제어하는 제2수신부를 구비하는 것을 특징으로 하는 인터페이스 시스템.

【청구항 2】

제1항에 있어서, 상기 제1송신부는,

상기 외부 채널 종단 전압과 상기 채널 선로를 통하여 연결되며, 상기 메모리 장치로부터 독출되는 데이터에 응답하여 스위칭되는 적어도 하나의 스위칭 소자를 구비하는 것을 특징으로 하는 인터페이스 시스템.

【청구항 3】

제2항에 있어서, 상기 스위칭 소자는,

상기 외부 채널 종단 전압과 드레인이 연결되고, 상기 메모리 장치에서 출력하고자 하는 데이터가 게이트와 연결되는 오픈-드레인 형태의 트랜지스터로 구현되는 것을 특징으로 하는 인터페이스 시스템.

【청구항 4】

제1항에 있어서, 상기 제1수신부는,

제1입력 단자가 소정의 기준 전압과 연결되고, 제2입력 단자가 상기 채널 선로와 연결되며, 상기 제1전원 전압을 공급받아 상기 기준 전압과, 상기 채널 선로의 채널 신호 전압의 차로부터 신호 레벨을 판단하는 차동 증폭기를 구비하는 것을 특징으로 하는 인터페이스 시스템.

【청구항 5】

제1항에 있어서, 상기 제1수신부는,

외부 채널 신호 전압을 소정의 레벨로 레벨 쉬프트하고, 상기 레벨 쉬프트된 결과를 출력하는 레벨 쉬프터; 및

제1입력 단자가 소정의 기준 전압과 연결되고, 상기 제2입력 단자가 상기 레벨 쉬프터의 출력과 연결되며, 상기 제1전원 전압을 공급받아 소정의 기준 전압과 상기 레벨 쉬프터의 출력 전압의 차로부터 신호 레벨을 판단하는 차동 증폭기를 구비하는 것을 특징으로 하는 인터페이스 시스템.

【청구항 6】

제1항에 있어서, 상기 제2송신부는,

상기 외부 채널 종단 전압과 상기 채널 선로를 통하여 연결되며, 상기 메모리 장치에 기입하고자 하는 데이터에 응답하여 스위칭되는 적어도 하나의 스위칭 소자를 구비하는 것을 특징으로 하는 인터페이스 시스템.

【청구항 7】

제6항에 있어서, 상기 스위칭 소자는,

외부 채널 종단 전압과 드레인이 연결되고, 상기 메모리 장치에 기입하고자 하는 데이터가 게이트와 연결되는 오픈-드레인 형태의 트랜지스터로 구현되는 것을 특징으로 하는 인터페이스 시스템.

【청구항 8】

제1항에 있어서, 상기 제2수신부는,

제1입력 단자가 상기 채널 선로와 연결되고, 제2입력 단자가 소정의 기준 전압과 연결되며, 상기 제2전원 전압을 공급받아 상기 기준 전압과, 상기 채널 선로의 채널 신호 전압의 차로부터 신호 레벨을 판단하는 차동 증폭기를 구비하는 것을 특징으로 하는 인터페이스 시스템.

【청구항 9】

제1항에 있어서, 상기 제2수신부는,

외부 채널 신호 전압을 소정의 레벨로 레벨 쉬프트하고, 상기 레벨 쉬프트된 결과를 출력하는 레벨 쉬프터; 및

제1입력 단자가 상기 레벨 쉬프터의 출력과 연결되고, 상기 제2입력 단자가 소정의 기준 전압과 연결되며, 상기 제2전원 전압을 공급받아 상기 기준 전압과 상기 레벨 쉬프터의 출력 전압의 차로부터 신호 레벨을 판단하는 차동 증폭기를 구비하는 것을 특징으로 하는 인터페이스 시스템.

【청구항 10】

제1항에 있어서, 상기 외부 채널 종단 전압은 상기 제1전원 전압 및 상기 제2전원 전압레벨보다 큰 전압 레벨을 갖는 것을 특징으로 하는 인터페이스 시스템.

【청구항 11】

반도체 장치들 간의 인터페이스 시스템에 있어서,

상기 반도체 장치들 사이의 송수신단을 연결하는 채널 선로;

상기 채널 선로에 연결되어 소정의 전압 레벨을 갖는 외부 채널 종단 전압;

제 1전원 전압을 동작 전압으로 입력하는 제1반도체 장치 내부에 구비되고, 상기 외부 채널 종단 전압과 상기 채널 선로를 통하여 연결되며, 전송하고자하는 데이터에 응답하여 스위칭되는 하나 이상의 스위칭 소자를 포함하는 송신부; 및

상기 제1전원 전압과 다른 전압 레벨을 갖는 제2전원 전압을 동작 전압으로 하는 제2반도체 장치 내에 구비되며, 상기 제2전원 전압을 공급받아 상기 제1반도체 장치로부터

터의 데이터 수신을 제어하는 수신부를 구비하고,

상기 제1반도체 장치 및 상기 제2반도체 장치는 메모리 장치 또는 메모리 컨트롤러인 것을 특징으로 하는 인터페이스 시스템.

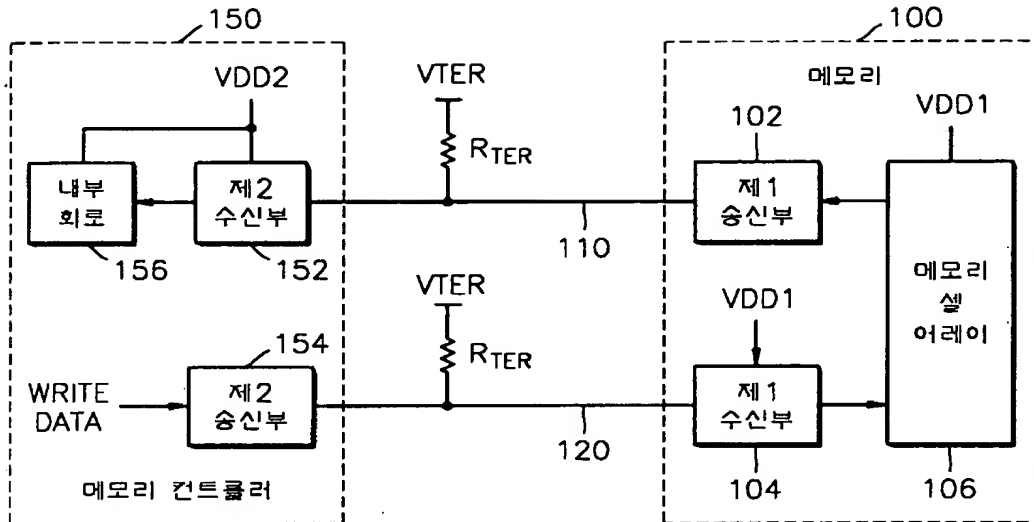
【청구항 12】

제11항에 있어서, 상기 스위칭 소자는,

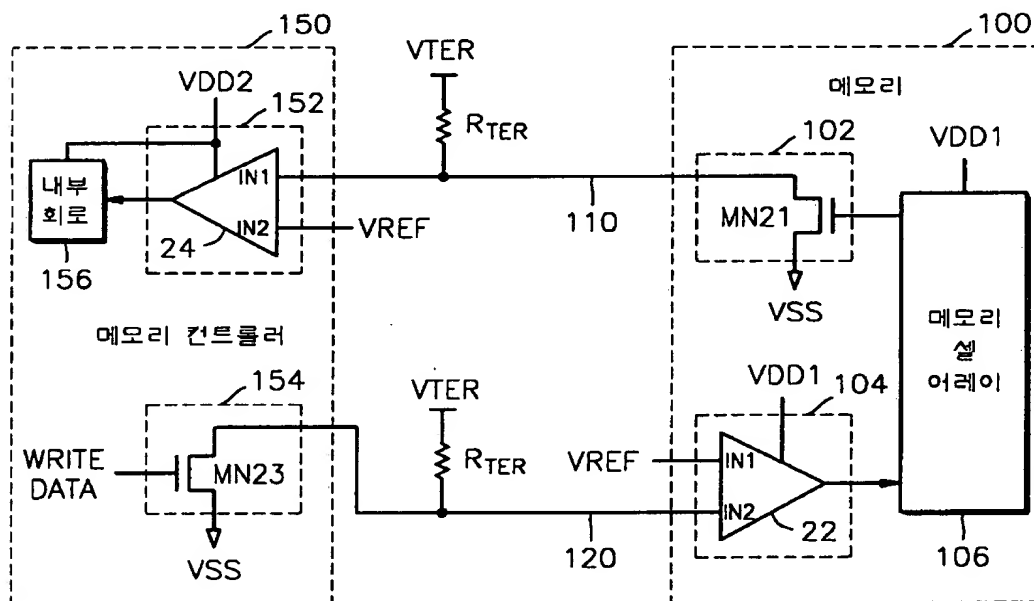
상기 외부 채널 종단 전압과 드레인이 연결되는 오픈-드레인 형태의 트랜지스터로 구현되는 것을 특징으로 하는 인터페이스 시스템.

【도면】

【도 1】



【도 2】



【부 3】

